

BEST AVAILABLE COPY

(54) MOS TYPE FIELD EFFECT TRANSISTOR(11) ~~58-81972~~ (A) (43) 4.7.1981 (19) JP

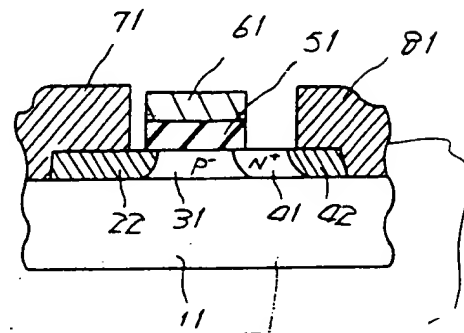
(21) Appl. No. 54-157967 (22) 7.12.1979

(71) TOKYO SHIBAURA DENKI K.K. (72) TETSUYA IIZUKA

(51) Int. Cl.³ H01L29/78, H01L29/08

PURPOSE: To accelerate the operation of an MOS field effect transistor by forming a semiconductor channel region on an insulating substrate together with source and drain regions disposed therebetween as an MOSFET and forming the source and channel regions in junction as nonrectifying property.

CONSTITUTION: A P⁻ type semiconductor layer made of semiconductor layer is covered on an insulating substrate 11 using sapphire monocrystal or the like, the center is used as a channel region 31, and a gate electrode 61 is covered through a gate insulating film 51 thereon. When N⁻ type source region 21 and drain region 41 are formed in the P⁻ type semiconductor layers at both sides of the region 31, aluminum in the aluminum wire layer 71 provided on the region 21 is diffused in the region 21, while a P type region 22 punching through the region 22 is formed, and is in no-rectifying contact with the region 31. The aluminum from the aluminum wire layer 81 formed thereon is diffused at the end of the region 41, in non-rectifying contact with the region 41. Thus, the gate charge pumping action is eliminated, thereby accelerating the operation of the transistor.



⑫ 公開特許公報 (A)

昭56—81972

⑪ Int. Cl.³
H 01 L 29/78
29/08

識別記号

庁内整理番号
6603—5F
7514—5F

⑬ 公開 昭和56年(1981)7月4日

発明の数 1
審査請求 未請求

(全 4 頁)

⑭ MOS形電界効果トランジスタ

川崎市幸区小向東芝町1 東京芝
浦電気株式会社総合研究所内⑮ 特 願 昭54—157967
⑯ 出 願 昭54(1979)12月7日
⑰ 発 明 者 飯塚哲哉⑱ 出 願 人 東京芝浦電気株式会社
川崎市幸区堀川町72番地
⑲ 代 理 人 弁理士 則近憲佑 外1名

明 細 書

1. 発明の名称 MOS形電界効果トランジスタ
2. 特許請求の範囲
絶縁層と、この絶縁層の一方の面上に形成されるゲート層と、前記絶縁層の他方の面上に形成されるソース・ドレイン領域及びこれら領域間の基板領域からなる半導体層とを具備し、前記ソース領域と基板領域の接合が非整流性であることを特徴とするMOS形電界効果トランジスタ。
3. 発明の詳細な説明

本発明は、MOS形電界効果トランジスタ(MOSFET)に係り、特に、絶縁性基板上に形成したMOSFETの高速化に関するものである。

従来の絶縁性基板上に形成されたMOSFETは第1図のような構造を有している。すなわち、絶縁性基板11(例えばサファイア単結晶基板)上に半導体(例えばシリコン)領域21, 31, 41を形成し、ゲート絶縁膜51を介して、ゲート電極61を形成する。領域21, 41にはN形の不純物を高濃度に拡散させ、そこに71, 81の金属配線

を結合し、ソース、ドレイン電極とする。

こうした構造には次のような欠点がある。すなわち、基板領域31はソース・ドレイン領域とはPN接合を介してのみ電氣的に結合しているため、ゲート電極の電位が急激に負の方向に変化した場合など、領域31は谷重結合により、負の電位となる。ゲート電極が正の方向に変化した場合は領域31の電位も正方向に変化するが、PN接合が順方向にバイアスされ順方向電流が流れ、正方向には電位は上がらない。このようにゲートのチャージ・ポンピング作用により領域31は平均として負の電位になり、基板バイアス効果により、トランジスタの閾値電圧を上げてしまい、電流を流しにくくし、回路の高速動作を妨げる結果となる。

本発明は上記の点に鑑みてなされたもので、ゲートのチャージ・ポンピング作用を防ぎ、回路の高速動作を可能にするものである。

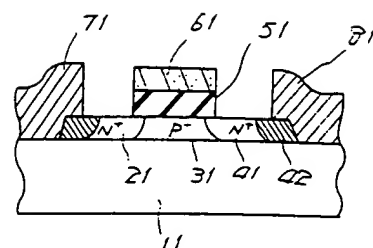
以下、本発明について、実施例により、同図を用いて、詳細に述べる。

第2図は本発明による一実施例である。領域22

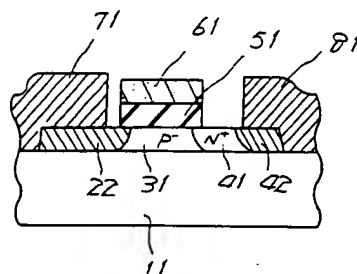
(1)

(2)

第 1 図



第 2 図



も、集積密度を上げることができる。

4. 図面の簡単な説明

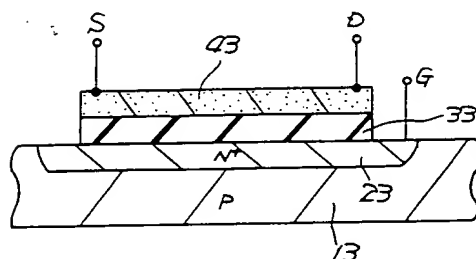
第 1 図は従来の絶縁性基板上に形成された MOSFET を示す断面図、第 2 図は本発明による MOSFET の一実施例を示す断面図、第 3 図及び第 4 図は各々本発明による他の実施例を示す断面図、第 5 図は本発明をメモリ装置に応用した例を示すブロック図、第 6 図は本発明を半導体基板上に形成された MOS 形電界効果トランジスタで実現した実施例を示す断面図、第 7 図は本発明により構成される CMOS のメモリ・セルの実施例を示す回路図である。

- 11 … 絶縁基板、
- 61 … 多結晶シリコン、
- 31 … 基板領域、
- 41 … ドレイン領域
- 22, 42 … 非電流性領域。

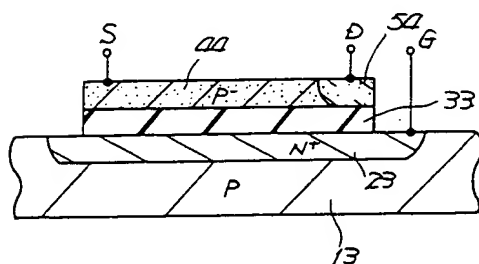
代理人 弁理士 則近 彦 佑 (ほか1名)

(7)

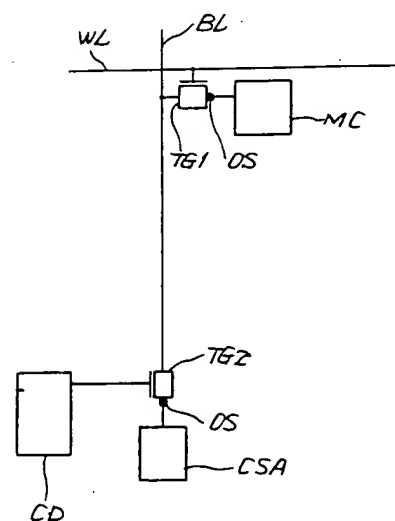
第 3 図



第 4 図



第 5 図



BEST AVAILABLE COPY